

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-217430**
 (43)Date of publication of application : **10.08.2001**

(51)Int.Cl.

H01L 29/786
H01L 27/12
H01L 21/336

(21)Application number : **2000-357158** (71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **24.11.2000** (72)Inventor : **USUDA KOJI
TAKAGI SHINICHI**

(30)Priority

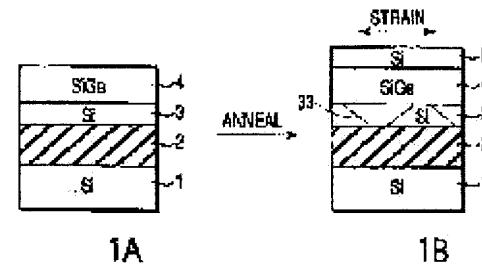
Priority number : **11336059** Priority date : **26.11.1999** Priority country : **JP**

(54) METHOD OF MANUFACTURING SEMICONDUCTOR SUBSTRATE AND SEMICONDUCTOR SUBSTRATE MANUFACTURED THEREBY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a substrate and its forming method wherein, in a strain layer/stain-applied crystal layer structure, the crystallinity deterioration of the strain layer due to crystal defects caused in the stain-applied crystal layer structure is reduced and the strain layer/stain-applied crystal layer structure is formed with a thin film on an insulation layer.

SOLUTION: An insulation layer on a Si substrate and an SiGe layer on another Si substrate are bonded, using the semiconductor laminating technique, and the Si substrate at the SiGe layer side is removed by polishing, etc.



LEGAL STATUS

[Date of request for examination] **23.07.2002**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3607194

[Date of registration] 15.10.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-217430

(P2001-217430A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl.
H 01 L 29/786
27/12
21/336

識別記号

F I
H 01 L 27/12
29/78

B
6 1 8 E
6 2 7 D

テ-マコ-ト(参考)

審査請求 未請求 請求項の数9 O.L (全12頁)

(21)出願番号 特願2000-357158(P2000-357158)
(22)出願日 平成12年11月24日(2000.11.24)
(31)優先権主張番号 特願平11-336059
(32)優先日 平成11年11月26日(1999.11.26)
(33)優先権主張国 日本(JP)

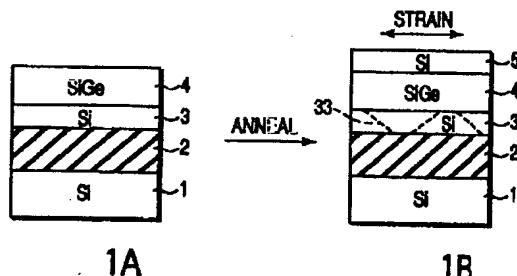
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区坂川町72番地
(72)発明者 白田 宏治
東京都港区芝浦一丁目1番1号 株式会社
東芝本社事務所内
(72)発明者 高木 信一
東京都港区芝浦一丁目1番1号 株式会社
東芝本社事務所内
(74)代理人 100083161
弁理士 外川 英明

(54)【発明の名称】半導体基板の製造方法およびこれにより製造された半導体基板

(57)【要約】

【課題】歪み層／歪み印加結晶層構造において、歪み印加結晶層構造より発生する結晶欠陥による歪み層の結晶性劣化を低減し、かつ絶縁層上に歪み層／歪み印加結晶層構造を薄膜で形成した基板とその形成方法とを提供する。

【解決手段】Si基板上の絶縁層と、別のSi基板上のSiGe層とを、半導体張り合わせ技術を用いて接合し、SiGe層側のSi基板を研磨等により除去する。



【特許請求の範囲】

【請求項1】基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に実質的に接して形成され格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成されその格子定数が前記第1の半導体層の格子定数よりも小さくかつ引っ張り格子歪みを有する第2の半導体層と、前記第2の半導体層上に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート絶縁膜直下の前記第2の半導体層の表面に形成されたチャネル領域と、少なくとも前記第2の半導体領域に、前記チャネル領域を介して互いに離れて設けられたソース・ドレイン領域とを具備することを特徴とする半導体装置。

【請求項2】前記第1の半導体層は、少なくとも前記第2の半導体層側のGe組成が30atm%より大であるSiGe層であり、前記第2の半導体層がSiである請求項1記載の半導体装置。

【請求項3】前記第1の半導体層はSiGe層であり、かつ前記基板側のGe組成が30atm%以下で、前記第2の半導体層側のGe組成が30atm%より大である傾斜組成を有し、前記第2の半導体層がSiである請求項1記載の半導体装置。

【請求項4】基板表面に絶縁膜を形成する工程と、第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する工程と、前記基板と前記積層基板とを前記絶縁膜及び前記第1の半導体層を合わせるように張り合わせる工程と、前記第1の半導体層と前記第2の半導体層の少なくとも一部とが残るように前記積層基板を除去し、格子緩和された前記第1の半導体層と、引っ張り格子歪みを印加させた前記第2の半導体層との積層構造を形成する工程と、前記積層構造にトランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項5】第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する前記工程は、さらに前記第1の半導体層上に絶縁層を積層する工程を備え、前記基板と前記積層基板とを前記絶縁膜及び前記第2の半導体層を合わせるように張り合わせる前記工程は、前記基板上に形成された絶縁膜と前記第1の半導体層上に形成された絶縁膜とを合わせるように張り合わせる工程であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】基板の表面に絶縁膜を形成する工程と、半導体基板の表面に第1の半導体層を形成する工程と、前記絶縁膜及び前記第1の半導体層を合わせるように前記基板と前記半導体基板を張り合わせる工程と、前記第1の半導体層が少なくとも残るように前記半導体基板を除去し前記第1の半導体層を格子緩和させる工程と、前記第1の半導体層上に第2の半導体層を積層し前記第2の半導体層に引っ張り格子歪みを印加させた積層構造を形成する工程と、前記積層構造にトランジスタを形成する

ことを特徴とする半導体装置の製造方法。

【請求項7】第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する前記工程は、さらに前記第1の半導体層上に絶縁層を積層する工程を備え、前記基板と前記積層基板とを前記絶縁膜及び前記第1の半導体層を合わせるように張り合わせる前記工程は、前記基板上に形成された絶縁膜と前記第1の半導体層上に形成された絶縁膜とを合わせるように張り合わせる工程であることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項8】前記第1の半導体層はSiGe層であり、前記第2の半導体層はSi層であり、前記第1の半導体層を形成する工程は、前記第1の半導体層の、前記絶縁層と合わせられる側のGe組成が30%以下で、前記第1の半導体層の、前記第2の半導体層が接する面側のGe組成が30%より大である傾斜組成を有するように第1の半導体層の組成を制御する工程を含む請求項7の半導体装置の製造方法。

【請求項9】基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成された引っ張り格子歪みを有する第2の半導体層とを具備する半導体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、半導体装置の製造方法、半導体基板、とりわけ歪みSi層を活性領域とする半導体装置、半導体装置の製造方法、半導体基板に関する。

【0002】

【従来の技術】Si半導体素子、とりわけMOSFETトランジスタの性能は、大規模集積回路(LSI)の進歩と共に年々向上している。しかしながら、近年リソグラフィ技術の微細化への限界、Siの理論的移動度へのキャリア移動度への接近などが指摘され、MOSFETのさらなる高性能化への困難さが増している。

【0003】また、一般に半導体素子の高性能化への施策として、例えばSiよりも理論的移動度の速いGaAs半導体結晶やSiC半導体結晶などのSiとは異なる結晶を用いてより高性能化を実現する方法が検討されている。

【0004】しかしながらGaAs半導体結晶やSiC結晶では、現在多く用いられているSiデバイスの製造プロセスとの混在が困難であるため、素子開発に多大な時間と労力が必要であり、実際に大量生産を行う場合には製造ラインの完全な見直しや置き換えが要求される。

【0005】そこで、現在多く用いられているSiデバイス製造プロセス技術や製造装置のノウハウを生かしつつ、より短い開発期間、より低い投資効率で実現可能な高性能Si系半導体素子の開発が切望されている。

【0006】このために、Siの電子移動度を向上させSi-MOSFETを高性能化する研究が行われている。Siの移動度を向上させる方法のひとつとしてSi層に歪みを印加する技術が注目されている。一般に半導体層に歪みを印加すると、そのバンド構造が変化し、チャネル中のキャリアの散乱が抑制されるため電子移動度の向上が期待できる。

【0007】具体的には、Si基板上にSiよりも格子定数の大きな材料からなる混晶層、例えばGeを20%含むSiGe混晶層（以下、単にSiGe層という）を格子緩和するように厚く（数μm）形成し、この格子緩和SiGe層上に薄いSi層（数nm）を形成すると、SiGeとSiの格子定数の差によって歪みのかかった歪Si層が形成される。

【0008】このような歪Si層をMOSFETのチャネルに用いると、歪みのないSi層をチャネルに用いた場合の約1.76倍と大幅な電子移動度の向上を達成できることが報告されている（J. Welser, J. L. Hoyl, S. Tagkagi, and J. F. Gibbons, IEDM 94-373）。

【0009】また、Siの電子移動度を向上させる別の方法として、MOSFETのチャネル長をより短くする短チャネル化の方法がある。しかしながら短チャネル化をすすめると浮遊容量の影響が大きくなるため、期待通りに電子移動度を向上することが困難になる。

【0010】これを解決するため、Si基板上に絶縁膜を介してSi層を形成したSOI（silicon on insulator）層中にチャネル層を設ける構造が注目されている。この構造では絶縁膜により完全にアイソレーションされるので、浮遊容量の低減や素子分離が容易となり、さらなる低消費電力化、高集積化が実現すると期待されている。

【0011】そこで電子移動度の向上を期待できる歪Si層を、浮遊容量の低減や素子分離が容易となるSOI構造に適用した半導体素子構造に適用する試みがされてきた。図1を参照しこの構造について説明する。

【0012】先ず、図1Aに示すように、予めSi基板1上にSiO₂絶縁膜2と10nm～30nmのSOI層3が形成されたSOI基板を準備し、このSOI基板上にSiより格子定数の大きいGe濃度20%のSiGe層4をSOI層3よりも十分厚く形成する。

【0013】次に、図1Bに示すように、窒素雰囲気中で1100°Cのアニュールを1時間施すことによってSiGe層4からSOI層3に印加された引っ張り歪み（STRAIN）によって、SOI層3が塑性変形し格子緩和する。同時にSiGe層4も格子緩和する。この塑性変形によってSOI層3中には貫通転位やミスフィット転位などの転位33が発生する。

【0014】次に、格子緩和SiGe層4上に薄膜のSiを形成することによって、引っ張り歪みを有する歪Si層5を形成できる。

【0015】従来SOI層3中に発生する転位33の大部分は、格子緩和したSOI層3中に生じ、かつこの層中に閉じこめられるため、格子緩和SiGe層4中には伝搬しないと考えられてきた。

【0016】しかしながら、格子緩和のために窒素雰囲気中で1時間1100°Cの条件でアニュールを施すと1個／10μm²程度の密度で、SiGe層4の表面にも伝播し、この欠陥が歪Si層5の結晶性を劣化させることができた。この後の歪Si層5にMOSFET等の半導体素子を形成するのであるが、歪Si層5の結晶性の劣化は半導体素子の特性を大きく劣化させる可能性がある。このことは半導体素子が微細化されるほど顕著になると予想される。

【0017】また、SiGe層4を格子緩和させると同時に生じた欠陥は、この後のゲート、電極などの形成プロセスやイオンドーピング後の結晶性回復アニュールなどの高温処理過程でも増幅する場合があり、さらに歪Si層5の結晶性を劣化させる可能性がある。

【0018】SOI層3に発生し格子緩和させるための転位33をSiGe表面に伝播させないためにはSiGe層4を数μm以上形成しなければならない。

【0019】しかしながら浮遊容量の影響を抑えるといったSOI基板構造の効果を十分に發揮するためにはSiO₂絶縁層2からチャネル層である歪Si層5までの厚みを極力抑えることが必要である。したがって数μmのSiGe層4を形成しなければならないこの方法ではSOI基板構造の効果を十分発揮できない。

【0020】

【発明が解決しようとする課題】上述したように、従来の方法では、SOI基板上に形成されるチャネル層となる歪Si層を備えた半導体デバイスは、欠陥を抑えるためにはSOI基板絶縁膜上の膜厚が厚くなり、SOI基板絶縁膜上の膜厚を薄くすれば欠陥が増幅するという問題を有している。

【0021】そこで本発明は、SOI基板絶縁層上の膜厚の薄膜化およびチャネル層となる歪層の欠陥の低減を両立でき、十分な歪みをチャネル層に印加し、より高性能な半導体素子を低成本に形成できる半導体装置、半導体基板の製造方法、半導体基板を提供することを目的とする。

【0022】

【課題を解決するための手段】上記目的を達成するために、本発明は、基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に実質的に接して形成され格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成されその格子定数が前記第1の半導体層の格子定数よりも小さくかつ引っ張り格子歪みを有する第2の半導体層と、前記第2の半導体層上に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲ

ート電極と、前記ゲート絶縁膜直下の前記第2の半導体層の表面に形成されたチャネル領域と、少なくとも前記第2の半導体領域に、前記チャネル領域を介して互いに離れて設けられたソース・ドレイン領域とを具備することを特徴とする半導体装置である。

【0023】また、本発明は、基板表面に絶縁膜を形成する工程と、第1の半導体層が第2の半導体層上に形成された積層層を有する積層基板を形成する工程と、前記基板と前記積層基板とを前記絶縁膜及び前記第1の半導体層を合わせるように張り合わせる工程と、前記第1の半導体層と前記第2の半導体層の少なくとも一部とが残るように前記積層基板を除去し、格子緩和された前記第1の半導体層と、引っ張り格子歪みを印加させた前記第2の半導体層との積層構造を形成する工程と、前記積層構造にトランジスタを形成することを特徴とする半導体装置の製造方法である。

【0024】また、本発明は、基板の表面に絶縁膜を形成する工程と、半導体基板の表面に第1の半導体層を形成する工程と、前記絶縁膜及び前記第1の半導体層を合わせるように前記基板と前記半導体基板を張り合わせる工程と、前記第1の半導体層が少なくとも残るように前記半導体基板を除去し前記第1の半導体層を格子緩和させる工程と、前記第1の半導体層上に第2の半導体層を積層し前記第2の半導体層に引っ張り格子歪みを印加させた積層構造を形成する工程と、前記積層構造にトランジスタを形成することを特徴とする半導体装置の製造方法である。

【0025】また、本発明は、基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された格子緩和したアンドープの第1の半導体層と、前記第1の半導体層上に形成された引っ張り格子歪みを有する第2の半導体層とを具備する半導体基板である。

【0026】本発明において前記第2の半導体層の格子定数は第1の半導体層の格子定数よりも小さいものを使用する。第1の半導体層として代表的な材料は、SiGeであり、第2の半導体層として代表的な材料はSiである。

【0027】ところで、SiとGeの共有結合半径は、それぞれ1.17および1.22である。

【0028】通常のエピタキシャル成長技術でSi基板上でSiGe層とSi層をこの順で積層すると、図2Aに示すようにSiGe層4'の格子は下のSi層3の格子に整合して継長に変形し、SiGe層4'に図の継方向の引っ張り歪が生じる。このようなSiGe層4'上に形成されたSi層5'は十分な引っ張り歪が加わらない。

【0029】また例えば特開平11-121377号公報にはB(ホウ素)の共有結合半径が0.88であることを利用してSiGe層にドーパント濃度の $10^{20} \sim 10^{21}$ 原子/ cm^3 のBを添加させたものである。この技

術はSOI基板作成時の水素剥離法においてカット後のCMPを不要にするものである。図2Bはこの技術における格子整合を模式的に示したものであり、Si層にB添加SiGe層4''が積層されており、さらにSi層5''を積層する。B添加SiGe層4''はエッティングストップとして使用されるもので後で除去される。上記の文献ではSi層5''をデバイス層とすることができますとしているがこのSi層は工程中においてSiGe(B)層4''から熱拡散されるBを含有し残留圧縮歪を有することになる。このデバイス層としてのSi層5''には歪は加わらない。

【0030】また、デバイス層として歪Si層を形成するためには前述の図1A及び図1BのようにしてSi/SiGe/Siの3層構造を形成する方法によても達成できるが、Si層5に転位33が伝播するという問題があった。本発明の半導体装置及び半導体基板では図2Cに示すように格子緩和されたSiGe層4をシリコン酸化膜上2上に実質的に接して形成し、その上にSi層5を張り合わせ法などにより形成する。このときSi層5には格子緩和SiGe層4により、図の横方向に十分な引っ張り歪が生じる。また、図2Aに示すような転位33が生じたSOI層3も持たないため、歪Si層5の結晶性を劣化させるという問題点も生じない。

【0031】また、本発明の製造方法は、SiGe層を格子緩和するために従来技術のような高温アニール工程を用いる必要がない。このため高温アニールより貫通転位などがSOI層に導入されこれらがチャネルを形成する歪Siデバイス層に到達して阻止特性を劣化させることがない。したがって本発明ではSiGe層の厚さを従来技術より薄くすることができ、絶縁層上のSiGe層、Si層の合計厚さを従来の約2/3程度にまで薄膜化することが可能になる。従ってSOI構造の効果を失わずに、欠陥のない高品質で十分な歪みを半導体デバイス層に印加できる。

【0032】本発明において、第1の半導体層の厚さは80nm以下、第2の半導体層の膜厚は10nm以上50nm以下、第1の半導体層及び第2の半導体層の合計の総厚さが100nm以下であることが望ましい。それにより欠陥のない良好な歪半導体膜を形成できる。

【0033】本発明の半導体装置及び半導体基板において、第2の半導体層はSi、第1の半導体層は、第2の半導体層側のGe組成が100%未満、第2の半導体層と反対側が0%より大であるSiGe層であるが望ましい。さらに望ましくは第2の半導体層がSiであり、第1の半導体層は少なくとも第2の半導体層側のGe組成が30atm%より大きいSiGe層であることが望ましい。

【0034】また、本発明において、第1の半導体層を傾斜組成として第1の半導体層の格子間距離を厚さ方向に不均一としてもよい。例えば第1の半導体層の、第2の半導体層側のGe組成が30atm%より大であるS

i Ge層であり、第2の半導体層と反対側のGe組成が30 atm%未満であることが望ましい。

【0035】

【発明の実施の形態】以下、図面を参照しながら、本発明の実施の形態（以下、実施形態という）を説明する。

【0036】（第1の実施形態）図3は本発明の第1の実施例に係る半導体基板の製造方法を説明するための半導体基板の断面図である。

【0037】先ず、図3Aに示すように、Si基板1上に予めSi酸化膜2を形成する。Si酸化膜2は、dry酸化膜、wet酸化膜等の熱酸化膜やCVD（Chemical Vapor Deposition）膜、溶液処理によるwet酸化膜など広く用いられる方法で形成できる。

【0038】次に、図3Bに示すように、別のSi基板21上に予めSiGe層4を形成する。SiGe層4は基本的にはアンドープとされる。またSiGe層4は少なくともSi基板21側のGe組成が100%未満、表面側のGe組成が0%より大きいことが必要である。さらにSiGe層4は高性能化のために30 atm%より大、少なくともSi基板21側のGe組成を30 atm%より大とすることが望ましい。Ge組成を30 atm%より大きくすると、歪Si層における電子移動度を高めることができるからである。一方、SiGe層4のGe組成は80 atm%以下であることが望ましい。

【0039】SiGe層4は、CVD（Chemical Vapor Deposition）、MBE（Molecular Beam Epitaxy）、スパッタープロセスなどにより形成することができる。SiGe層4をCVDで形成する場合は、Siの原材料ガスとGeの原材料ガスを、例えば550°Cに加熱したSi基板21上に導入して積層する。

【0040】次に、Si酸化膜2の上面2sとSiGe層4の上面4sを合わせて、基板1と21を張り合わせる。張り合わせ方法の一例としては、数百度（例えば400~700°C）程度の事前アニールと、張り合わせ面を強固にするための高温アニール（例えば、窒素中、1100°C、1時間）が施される。この工程ではSiGe層4を格子緩和させていないので転位の発生はない。

【0041】次に、図3Cに示すようにSi基板21を剥離する。このときSi基板21から受けていた圧縮歪が開放されSiGe層4が格子緩和される。

【0042】このときSi基板21の表面のSi層5をごく薄く残すようにするとSiGe層4が格子緩和されると同時に、Si層5に引っ張り歪が導入される。こうすることで転位やピットや突起のない良好な歪Si層5を形成できる。

【0043】このようにしてSi基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成された格子緩和SiGe層4

と、この格子緩和SiGe層4上に形成された歪Si層5からなる半導体基板が形成される。

【0044】Si酸化膜2と格子緩和SiGe層4とは実質的には直接接しているがその界面に0~5 nmより好ましくは0~2 nmの界面バッファ層を有していてもよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0045】研磨或いは剥離工程をSiGe層4までおよぼして、先ずSiGe層4を格子緩和させ、次にMBEやCVD法によってシリコン層をごく薄く再成長することによって歪Si層5を形成することも可能である。

【0046】このように予めSiGe層4が形成されていたSi基板21を除去することによってSiGe層4を格子緩和させるには10 nm以上80 nm以下、このSiGe層4に形成される歪Si層5の膜厚は10以上50 nm以下、SiGe層4と歪Si層5の総厚さが30以上100 nm以下であることが望ましい。それにより欠陥のない良好な歪半導体膜を形成できる。

【0047】また、Si基板21の除去あるいは薄膜化は、研磨、例えば薬液や研磨剤を用いて厚みを薄くする化学研磨や化学機械研磨、また薄膜化後の厚みの均一性を改善できるPACE（plasma assisted chemical dry etching）法などを用いればよい。また事前にSiGe層4またはSi基板21に水素を注入し、その後水素を注入した面から剥離する水素剥離法やSi基板21を酸化後HF溶液などで剥離する薄膜化法などを用いてよい。

【0048】本発明では、張り合わせ工程前のSi基板21上に、例えば50 nmと十分に薄いSiGe薄膜4を形成した場合は、SiGe層4が圧縮歪みを印加された層として存在する。しかしながらこの圧縮されたSiGe層4は、張り合わせ後、Si基板21を薄膜化あるいは剥離することによってSi基板21からSiGe層4への歪み印加効果が薄れる。こうしてSiGe層4は歪みを開放することができる。その結果、本発明の目的であるSiデバイス層へ歪みを印加するストレッサーとしての機能を発揮する。

【0049】Si基板21を除去する際の位置は、Si基板21の厚み、結晶性などのプロセスの仕様によって異なる。この時、例えば溶液エッチング、あるいは水素注入後の剥離工程を用いた場合は、剥離後の表面に荒れが生じることがある。特にPACE法ではプロセスに起因の欠陥が表面から導入されることもある。

【0050】これらの場合は、薄膜化後に例えば水素、アルゴン、窒素、酸素などの雰囲気中にてアニールを施して、Si基板21の結晶表面あるいは結晶内部の回復を行う工程を付加すると、より均一で高品質な薄膜プロセスが実現する。

【0051】Si基板1やSi基板21は、CZ、F

Z、MCZ基板などが用いられる。特に、Si基板21を薄膜化あるいは剥離後にその表面をそのままSiデバイス層として利用する場合は、結晶性向上のために酸素析出の少ないFZ基板の適用が効果的である。

【0052】また、Si基板21中の不純物の密度や種類を選択することによって、所望の抵抗値をSi基板21の表面に事前に作り込むことも可能である。

【0053】以上のようにして形成された所望の厚みの歪Siデバイス層5を有するSOI構造は、図1に示す半導体基板と比べて、Si酸化膜絶縁層2上の合計厚みを2/3程度にまで薄くすることが可能である。また、SiGe層4表面に現れる転位密度は、10%以上低減し、より高品質な歪Siデバイス層5を形成できる。

【0054】図12は上述の歪シリコン層5に形成されたMISFET(MOSFET)の断面図である。このMISFETは以下のようにして形成される。まず歪Si層5の表面を熱酸化して10nm程度の薄いゲート酸化膜101が形成される。次に閾値電圧調整用のたとえばn型不純物イオンがゲート酸化膜101を介してチャネル領域に注入され、n型チャネル領域が形成される。

【0055】次にゲート酸化膜101上にゲート電極102となるポリシリコン膜2を減圧CVD法により形成した後、このポリシリコン膜をRIE(Reacti ve Ion Etching)によりパターンニングして、ゲート電極102が形成される。

【0056】次にゲート電極102をマスクにして、リンイオンなどのn型不純物イオンを選択的に注入した後、例えば800°C程度のアニール処理を施すことにより、n型ソース領域103、n型ドレイン領域104がゲート電極102に自己整合的に形成される。このようにしてnチャネル型MISFETが形成されるが、不純物をp型に変更することによりpチャネル型MISFETも同様にして形成できる。

【0057】上記のように形成されたMISFETは、歪Si層5中に形成されているので、チャネル領域における電子散乱が抑制され電子移動度が向上する。またMISFETは厚さ100nm以下の薄いSOI層に形成されているので、電子移動度の向上に加えて寄生容量も低減される。この結果駆動力に優れたMISFETを得ることができる。

【0058】(第2の実施形態)図4は本発明の第2の実施例に係る半導体基板の製造方法を示す断面図である。

【0059】本実施例においては、Si基板21上にエピタキシャルSi層6を形成後、SiGe層4を積層し、このSiGe層4上にSi酸化膜9を形成したものが張り合わせ基板の一方として使用される。

【0060】先ず、図4Aに示すように、Si基板1上に予め第1の実施例と同様にSi酸化膜2を形成する。

【0061】次に図4Bに示すようにあらかじめ別のS

i基板21上に素子形成層となるSi層6がエピタキシャル法により形成され、このSi層6上に第1の実施例と同様にSiGe層4が形成される。SiGe層4は基本的にアンドープとされる。またSiGe層4は少なくともSi層6側のGe組成が100%未満、Si層6とは反対側のGe組成が0%より大であることが必要である。さらにSiGe層4は、高性能化のために少なくともSi層6側、より望ましくは全体のGe組成を30atm%より大とすることが望ましい。Ge組成を30atm%より大きくすると、歪Si層における電子移動度を高くすることができるからである。一方、SiGe層4のGe組成は80atm%以下であることが望ましい。

【0062】さらにこの後SiGe層4上にSi酸化膜9を形成する。

【0063】次に、図4Cに示すように、Si酸化膜2の上面2sとSi酸化膜9の上面9sと合わせて、2つのSi基板1及び21を実施例1と同様に張り合わせる。この結果図4Cに示すように、Si酸化膜2とSi酸化膜9が一体化してSi酸化膜12となる。張り合わせ後はSi基板12の剥離が行われる。

【0064】張り合わせ後に、水素注入によって剥離を行う場合はSi層6とSi基板21の界面もしくは、Si層6側に水素を注入後、Si基板21が剥離される。このようにすることでSi基板21から受けている圧縮歪が開放されSiGe層4が格子緩和されると同時に素子形成層となるSi層6に歪が導入される。

【0065】このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜12と、このSi酸化膜12上に張り合わせにより形成された格子緩和SiGe層4と、この格子緩和SiGe層4上に形成された歪Si層6からなる半導体基板が形成される。

【0066】このようにして形成された歪Si層6は、CZ基板中に含まれる酸素析出や不純物が少なく、所望の抵抗値を有する理想的な薄膜層が実現する。

【0067】Si酸化膜2と格子緩和SiGe層4とは実質的には直接接しているがその界面に0~5nmより好ましくは0~2nmの界面バッファ層を有していてよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0068】第2の実施例では、予め素子形成層となるSi層6を所望の電気特性を示すように形成できるので再成長過程を必要としない。また、SiGe層4を形成した後に、さらにシリコン酸化膜9を形成し、酸化膜2と9同士を張り合わせすることによって、よりSiGe層4に与える影響を低減できる。

【0069】また、清浄雰囲気中にてプロセスが連続に進行する場合以外で、例えば大気中を介してプロセスを行う場合は、SiGe層4の上に酸化膜が形成されている場合が想定され、意図せずに図4B中のシリコン酸化

膜9の形成されることもある。

【0070】以後、第1の実施例と同様に図12に示すMISFETが歪Si層に形成される。第2の実施例においても駆動力に優れたMISFETを得ることができる。

【0071】(第3の実施形態)図5は本発明の第3の実施例に係る半導体基板の製造方法を段階的に示す半導体基板の断面図である。

【0072】第3の実施例は、図5Cに示すSiGe層7が膜厚方向に組成の分布を有することである。即ち図6に示すようにSiGe層7中のGe濃度がSi基板1側にて低濃度、歪Si層8側にて高濃度になるように結晶成長が行われる。これによりSiGe層7の格子間隔を厚さ方向に不均一となる。

【0073】このときSi基板1側のGe組成が0%より高く、Si層8側のGe組成が100%未満であることが必要である。具体的にはSi基板1側のGe濃度が0atm%より高く30atm%以下で、歪Si層8側のGe濃度が30atm%より大きく100atm%未満、より好ましくは80atm%以下であるようにSiGe層7中のGe組成を制御することが望ましい。

【0074】このようにSiGe層7の組成を制御することによって、Si酸化膜2とSiGe層7の界面から発生した転位はSiGe層7中をループが形成するよう進行し、SiGe層7と歪Si層8の界面には届かない。よってより良好な歪Si層8を提供できる。

【0075】以下半導体基板の製造方法を説明する。

【0076】先ず、図5Aに示すように、Si基板1上に第1の実施形態と同様に予めSi酸化膜2を形成する。

【0077】次に、図5B及び図6に示すように、Si基板21上にSiGe層7を形成する。このときのGe組成は、上記したようSi基板21からGe組成が徐々に少なくなるように制御した。

【0078】次に、Si酸化膜2の上面2sとSiGe層7の上面7sを合わせるように、2つのSi基板と21を第1の実施例と同様に張り合わせる。

【0079】次に、第1の実施例と同様にSi基板21を剥離し、SiGe層7を格子緩和させる。

【0080】このときSi基板21の表面のSi層をごく薄く残すようにするとSiGe層4が格子緩和されると同時に、Si層8に引っ張り歪が導入される。こうすることで転位やピットや突起のない良好な歪Si層8を形成できる。

【0081】このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成されGeの組成が徐々に変化した格子緩和SiGe層7と、この格子緩和SiGe層7上に形成された歪Si層8からなる半導体基板が形成される。

【0082】Si酸化膜2と格子緩和SiGe層7とは実質的には直接接しているがその界面に0~5nmより好ましくは0~2nmの界面バッファ層を有していてもよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0083】研磨或いは剥離工程をSiGe層7までおおよとして、先ずSiGe層7を格子緩和させ、次にMBEやCVD法によってシリコン層をごく薄く再成長することによって歪Si層8を形成することも可能である。

【0084】また、本実施例では、SiGe層7中のGe濃度は、Si酸化膜2に近いほど低いため、Si酸化膜2とSiGe層7の界面で発生した欠陥はSi酸化膜2側に閉じこめられて、張り合わせ後のSiGe層7の歪Si層8との界面は格子緩和したSiGe層が得られる。それにより良好に緩和したSiGe層7の上に、引っ張り歪みを有する歪Si層8が形成される。

【0085】また、図中の各層の厚み、アニール温度、アニール時間、張り合わせ後に剥離あるいは研磨で残すSi基板層21の厚みなどの差異によって、緩和の程度が異なり、プロセス条件によっては、圧縮比歪みを有するあるいは歪みの無いSiデバイス層を形成することも可能である。

【0086】以後、第1の実施例と同様に図12に示すMISFETが歪Si層に形成される。第3の実施例においても駆動力に優れたMISFETを得ることができる。

【0087】(第4の実施形態)図7は本発明の第4の実施例に係る半導体基板の製造方法を示す断面図である。

【0088】第4の実施例では、図7Bに示すSi基板21上のSiGe層7中のGe濃度が図8に示すように膜厚方向に濃度勾配を有し、Ge濃度の最も高い部分が界面ではなくSiGe層7の膜中に位置する。その後、Ge濃度勾配の高い部分が表面となるように剥離あるいは薄膜化工程が施され、図7B及び図8に点線で示される面が薄膜化されたSiGe層7の上面7sとなる。このようにSiGe層7の組成を制御した基板を用いることによって得られた図7Cに示される半導体基板はSi酸化膜2とSiGe層7との界面から発生した転位はSiGe層7中をループが形成するよう進行し、SiGe層7と歪Si層8の界面には届かない。よってより良好な歪Si層を提供できる。

【0089】さらに、張り合わせ前のSiGe層7の結晶成長が、Si基板21上に低Ge濃度から開始するので、ミスマッチによる欠陥が導入され難く、良質な結晶性を有するSiGe層7が得られる。

【0090】以下、半導体基板の製造方法を説明する。

【0091】先ず、図7Aに示すように、Si基板1上に予め第1の実施形態と同様にSi酸化膜2を形成す

る。

【0092】次に、図7B及び図8に示すように、Si基板21上に予めSiGe層7をGe組成比が膜方向に0atm%→35atm%→0atm%となるように形成する。続いてSiGe7のGe組成比が最も高い中央部まで薄膜化し、SiGe層7とする。この結果SiGe層7の上面7sにはGe組成比35atm%の面が露出される。

【0093】次に、Si酸化膜2の上面2sとSiGe7の上面7sを合わせるように2つのSi基板1と21を第1の実施例と同様に張り合わせる。続いて、第1の実施例と同様にSi基板21を除去し、SiGe層7を格子緩和させる。このときSi基板21の表面のSi層をごく薄く残すようにするとSiGe層4が格子緩和されると同時に、Si層8に引っ張り歪が導入される。こうすることで転位やピットや突起のない良好な歪Si層8を形成できる。

【0094】このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成されGeの組成が徐々に変化した格子緩和SiGe層7と、この格子緩和SiGe層7上に形成された歪Si層8からなる半導体基板が形成される。これにより第3の実施例と同様な効果を得ることができる。

【0095】Si酸化膜2と格子緩和SiGe層7とは実質的には直接接しているがその界面に0~5nmより好ましくは0~2nmの界面バッファ層を有していてもよい。この界面バッファ層は例えばSiからなるものが挙げられる。

【0096】研磨或いは剥離工程をSiGe層7までおおよぼして、先ずSiGe層7を格子緩和させ、次にMBEやCVD法によってシリコン層をごく薄く再成長されることによって歪Si層8を形成することも可能である。

【0097】以後第1の実施例と同様に図12に示すMISFETが歪Si層8に形成される。第4の実施例においても駆動力に優れたMISFETを得ることができる。

【0098】(第5の実施形態)図9は本発明の第5の実施例に係る半導体基板の製造方法を示す半導体基板の断面図である。

【0099】第5の実施例では、Si基板21上に、転位が導入される格子緩和SiGe層40と格子緩和したSiGe層11からなるSiGe層を形成する。SiGe層40は、充分に厚く、かつGe濃度が結晶成長と共に変化する層であって、いわゆるバッファ層としての役割を果たす。例えば、SiGeバッファ層40はSi基板21上でのGe濃度が0atm%であり、結晶成長と共にGe濃度が増加し、2μmの厚みにてGe濃度が30atm%となる傾斜組成を有する構造とする。

【0100】以下半導体基板の製造方法を説明する。

【0101】先ず、図9Aに示すように、Si基板1上に第1の実施例と同様に予めSi酸化膜2を形成する。

【0102】次に、図9Bに示すように、別のSi基板21上に上記したようなGe組成のSiGeバッファ層40を十分に厚く形成し格子緩和させる。このときSiGeバッファ層4中には転位33が発生するが十分に厚いのでその上に形成される半導体層に対し影響を与えない。次に、この格子緩和したSiGeバッファ層4上に格子緩和した結晶状態の良好なSiGe層11を形成する。SiGeの各層の成長方法は第1の実施例に順ずる。

【0103】次に、Si酸化膜2の上面2sと格子緩和したSiGe層11の上面11sを合わせるように第1の実施例と同様に2つのSi基板1と21を張り合わせる。

【0104】次に、Si基板21とSiGeバッファ層4を研磨あるいは水素注入法などにより除去する。次に、格子緩和したSiGe層11上に歪Si層8を形成する。(図9C)このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成された格子緩和SiGe層11と、この格子緩和SiGe層11上に形成された歪Si層8からなる半導体基板が形成される。

【0105】SiGeバッファ層40は、SiGeバッファ層40中のSi基板21側に格子ミスマッチで生じる貫通転位、ミスフィット転位などの欠陥が閉じこめられる。その結果SiGeバッファ層40の表面側では、転位が無く格子緩和したSiGe層が実現される。

【0106】このSiGeバッファ層40の表面側Ge濃度は、Siデバイス層に所望の歪みが印加されるような濃度であって、典型的には30atm%より大きく80atm%以下であり、膜厚方向のGe濃度分布が均一である必要はない。このSiGe層40の形成に引き続いて、SiGeバッファ層4の表面側組成と同等の組成を有するSiGe層11を成長させることで、転位などの欠陥密度を低減した高品質緩和SiGe層11が形成される。

【0107】ここで課題となるのはバッファ層として数μmのSiGe層40の結晶成長には原材料と成長時間がかかりプロセスコストが要求されることにある。前述のように張り合わせ後の薄膜化プロセスによって歪チャネル層と緩和SiGe層の積層構造が実現できる。しかしながら張り合わせ前に所望の厚さのSiGe層が得られるように例えば0.3μm程度の深さカット面で40c(図9B)に水素注入を行い、貼りあわせ後剥離を行うようにしてもよい。このようにすれば剥離後に残る格子緩和SiGeバッファ層を再利用できるためプロセスの簡略化、半導体資源の節約が可能で、ひいては基板製造コストの低減が実現できる。

【0108】以後第1の実施例と同様に図12に示すMISFETが歪Si層8に形成される。第5の実施例においても駆動力に優れたMISFETを得ることができる。

【0109】(第6の実施形態)図10は本発明の第6の実施例に係る半導体基板の製造方法を示す半導体基板の断面図である。

【0110】第6の実施例では時10Bで示すSi基板21上に、転位を導入される格子緩和SiGeバッファ層40、格子緩和SiGeバッファ層40上に格子緩和SiGe層11、歪Si層10、別の格子緩和SiGe層13を連続して形成後に、張り合わせプロセスを行う。

【0111】先ず、図10Aに示すように、Si基板1上に第1の実施例と同様に予めSi酸化膜2を形成する。

【0112】次に、図10Bに示すように、別のSi基板21上に第5の実施例と同様に予めSiGeバッファ層40を厚く形成し格子緩和させる。この格子緩和したSiGeバッファ層40上に、格子緩和SiGe層11、歪Si層10、格子緩和SiGe層13を続けて成長する。

【0113】次に、図6(c)に示すように、Si酸化膜2の上面2sと格子緩和SiGe層13の上面13sをあわせるようにSi基板1と21を第1の実施例と同様に張り合わせる。

【0114】次に、歪Si層10が表面に出るように研磨あるいは水素注入法によりSi基板21、格子緩和SiGeバッファ層40、格子緩和SiGe層11を除去する。(図10C)このようにして、Si基板1と、このSi基板1上に形成されたSi酸化膜2と、このSi酸化膜2上に張り合わせにより形成され格子緩和SiGe層13と、この格子緩和SiGe層13上に形成された歪Si層10からなる半導体基板が形成される。

【0115】本実施例ではSi基板21上に形成された格子緩和SiGe層11上のSi層10は自ずと引っ張り歪みを受けており、さらにその上のSiGe層13は緩和した層となる。

【0116】格子緩和SiGe層13は貼り合わせ後の絶縁層2とSiGe層13からの界面から発生する欠陥を低減するために、第3あるいは第4の実施例のように、Ge組成に勾配をつけてよい。

【0117】また、格子緩和SiGe層13の上には、第2の実施例のように、予め絶縁層9を形成してから張り合わせを行っても良い。

【0118】第6の実施例では、緩和率の高いSiGe層13の上に歪みの印加されたSi層10を直接形成することが出来る上、格子緩和SiGe層13中のGe濃度を30atm%より大きく100atm%未満の間で任意に選ぶことが可能であり、更には、絶縁層2上のS

iGe層13と歪Siデバイス層10の厚みをそれぞれ10nm以下にすることも可能である。

【0119】その結果、絶縁膜2上の合計厚みを40nm以下に抑えることが容易でありSOI効果を十分に達成し、かつ十分な歪みをSiデバイス層10に印加できる。

【0120】以後第1の実施例と同様に第6の実施例においても駆動力に優れたMISFETを得ることができる。

【0121】(第7の実施形態)図11は本発明の第7の実施例に係る半導体基板の製造方法を示す半導体基板の断面図である。

【0122】本実施例は、貼り合わせ基板の一方としてSi基板21の替わりにSiGe基板31を用い、SiGe基板31上に再成長した格子緩和SiGe層11と歪Si層10と格子緩和SiGe層13とSi酸化膜9を形成した構造で説明する。

【0123】先ず、図11Aに示すように、Si基板1上に第1の実施例と同様に予めSi酸化膜2を形成する。

【0124】次に、図11Bに示すように、SiGe基板31上に第1の実施例と同様に予めSiGe層11を形成し、このSiGe層11上に、Si層10、SiGe層13(Si層10側のGe組成が30atm%より大)、Si酸化膜9を続けて成長する。

【0125】次に、Si酸化膜2の上面2sとSi酸化膜9の上面9sを合わせるようにSi基板1とSiGe基板31を第1の実施例と同様に張り合わせる。次に、Si層10が表面に出るように研磨あるいは水素注入法などによりSiGe基板31、SiGe層11を除去する。

【0126】このようにして、図11Cに示すようにSi基板1と、このSi基板1上に形成されたSi酸化膜12と、このSi酸化膜12上に張り合わせにより形成され格子緩和SiGe層13と、この格子緩和SiGe層13上に形成された歪Si層10からなる半導体基板が形成される。

【0127】この場合貼りあわせのためにはSi酸化膜2あるいはSi酸化膜9の少なくとも一方があればよい。また、張り合わせ工程や薄膜化工程あるいは剥離工程中にSiGe層13と絶縁層9の接合面から発生する恐れのある欠陥を閉じこめる効果を得るには、絶縁層に接するSiGe層13中のGe濃度を不均一にするとよい。

【0128】本実施例では、基板31がストレッサーとなる層11と同じSiGe組成を持つ場合を示したが、基板上に形成する層中で組成制御を行って、所望の濃度に設定することも可能である。

【0129】以後第1の実施例と同様に図12に示すMISFETが歪Si層10に形成される。第6の実施例

においても、駆動力に優れたMISFETを得ることができる。

【0130】また、上記第1乃至第7の実施例では、歪みを印加する層（第1の半導体層）がSiGe層、デバイス層（第2の半導体層）がSi層の場合について説明したが、第2の半導体層に引っ張り歪が生じるよう、第2の半導体層の格子定数が第1の半導体層の格子定数よりも小さくなるよう格子定数の異なる2層の組み合わせで有れば、どの様な結晶を選んでも良く、具体的には、Si、GaAs、SiC、GaN、GaAlAs、InGaP、InGaPAs、Al₂O₃、BN、BNC、C、高濃度に不純物添加されたSi（不純物B）、Si（不純物P）、Si（不純物As）、SiNx、ZnSeなどの物質の内、2種類の物質の組み合わせにて、本発明の効果が得られる。但し第1の半導体層中に含有されるBの濃度は1×10²⁰atm%未満であることが望ましい。

【0131】上記第1乃至第7の実施例では、基板1、21、31としては、Si基板、SiGe基板を用いたが、GaAs、ZnSe、SiC、Ge、サファイア、有機ガラス、無機ガラス、プラスティックのいずれかであっても良い。

【0132】上記第1乃至第7の実施例では絶縁膜2、9としてSi酸化膜を使用したが、シリコン酸窒化膜、シリコン窒化膜、などの他の絶縁膜であっても良い。

【0133】

【発明の効果】以上、本発明によれば、従来困難であった、ストレッサとしての歪み層から伝搬する欠陥によるデバイス層の結晶性劣化が低減されると共に、SOI構造上の絶縁層上の合計厚みをより薄くすることが可能である。従って、素子特性の劣化を抑え、低消費電力化、高集積化が可能となり、半導体素子の高性能化が実現できる。

【図面の簡単な説明】

【図1】 従来の半導体基板の製造方法を説明するための基板断面図。

【図2】 本発明及び従来の半導体基板の製造方法を説明するための基板断面図。

【図3】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図4】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図5】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図6】 本発明の半導体基板におけるSiGe層のGe組成を示す図。

【図7】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図8】 本発明の半導体基板におけるSiGe層のGe組成を示す図。

【図9】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図10】 本発明の半導体基板の製造方法を説明するための基板断面図。

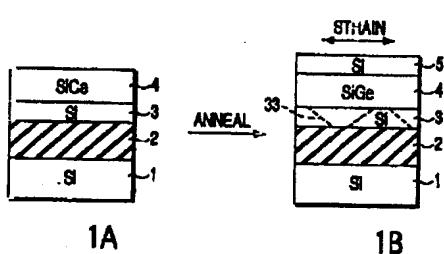
【図11】 本発明の半導体基板の製造方法を説明するための基板断面図。

【図12】 本発明の半導体装置を説明するための素子断面図。

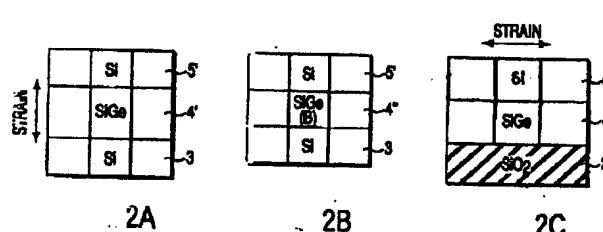
【符号の説明】

- 1 Si 基板
- 2 絶縁層（Si酸化膜層）
- 3 SOI層
- 4 SiGe層
- 5 歪Si層
- 6 歪エピタキシャルSi層
- 7 傾斜組成SiGe層
- 8 再成長で形成する歪Si層
- 9 絶縁層
- 10 歪Si層
- 11 SiGe層
- 12 絶縁層
- 13 SiGe層
- 21 Si 基板
- 31 SiGe基板
- 33 転位

【図1】

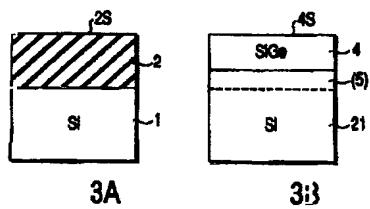


【図2】

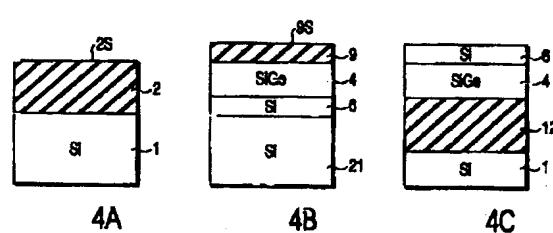


(11) 01-217430 (P2001-217430A)

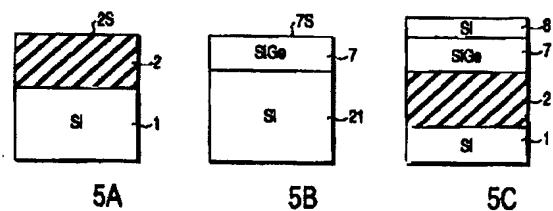
【図3】



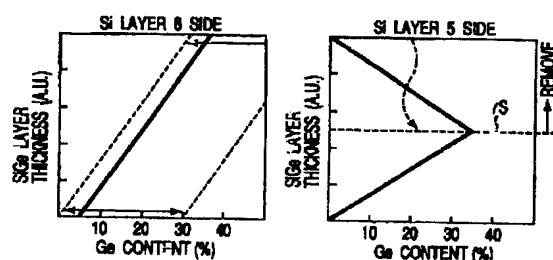
【図4】



【図5】

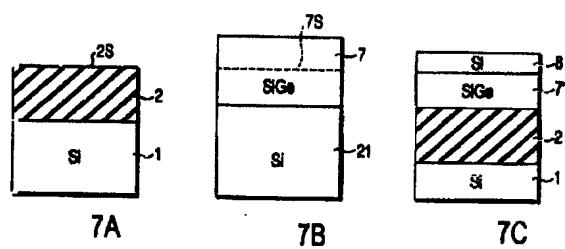


【図6】

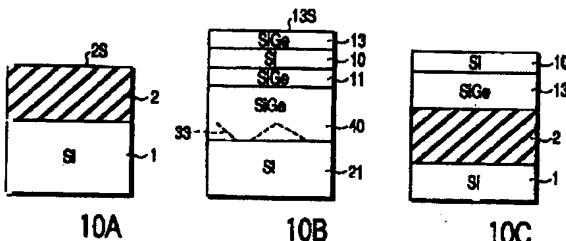


【図8】

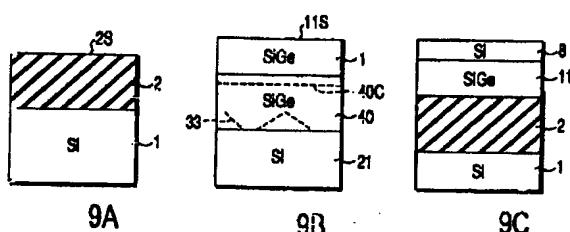
【図7】



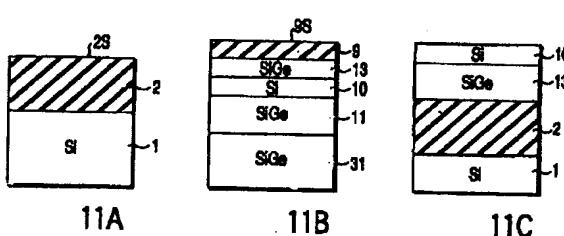
【図10】



【図9】



【図11】



(図2) 01-217430 (P2001-217430A)

【図12】

